

8

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-331342
(P2001-331342A)

(43) 公開日 平成13年11月30日 (2001. 11. 30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 6 F 11/22	3 6 0	G 0 6 F 11/22	3 6 0 A 5 B 0 4 2
3/00	6 5 2	3/00	6 5 2 B 5 B 0 4 8
3/14	3 2 0	3/14	3 2 0 B 5 B 0 6 9
11/32		11/32	E 5 E 5 0 1

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2000-151940(P2000-151940)

(22) 出願日 平成12年5月23日 (2000. 5. 23)

(71) 出願人 000168285

甲府日本電気株式会社
山梨県甲府市大津町1088-3

(72) 発明者 末木 耕一

山梨県甲府市大津町1088-3 甲府日本電
気株式会社内

(74) 代理人 100108578

弁理士 高橋 昭男 (外3名)

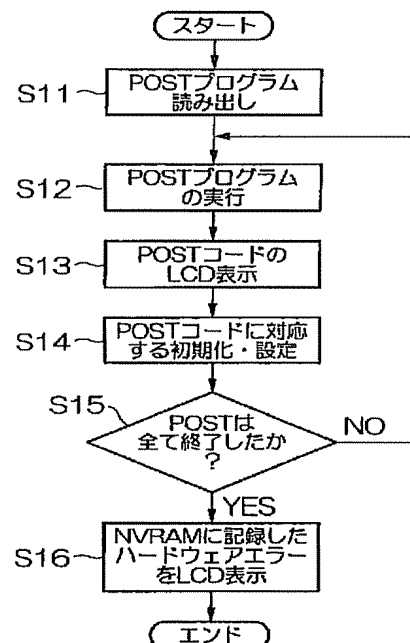
最終頁に続く

(54) 【発明の名称】 情報処理装置のエラー表示方法、及びそのプログラムを記録した記録媒体

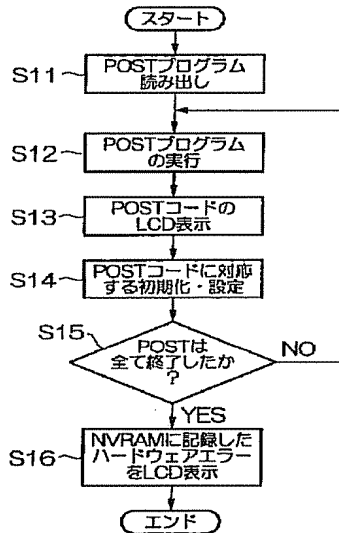
(57) 【要約】

【課題】 必要な情報を的確に表示する情報処理装置のエラー表示方法、及びそのプログラムを記録した記録媒体を提供する。

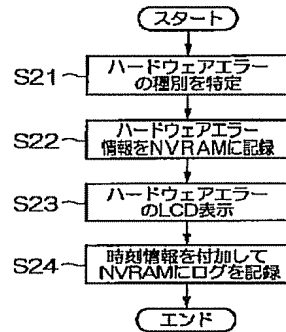
【解決手段】 電源投入時、CPUは、BIOS-ROMからPOSTを行うプログラムを読み込み、実行する (ステップS11、S12)。次に、POSTの進行状況に従い、対応するPOSTコードの表示と初期化・設定を行う (ステップS13、S14)。POST中にPCIパリティエラーが発生すると、PCIサウスブリッジ回路から、SMIがPCIパリティエラーにより発生したことを知る。PCIパリティエラーの情報をNVRAMのハードウェアエラー情報格納エリアに記録した後、次のPOSTによりPOSTコードを上書き表示する (ステップS13)。全てのPOSTが終了した場合、NVRAMからハードウェアエラー情報を入手し、"PCI PERR" と表示する (ステップS16)。



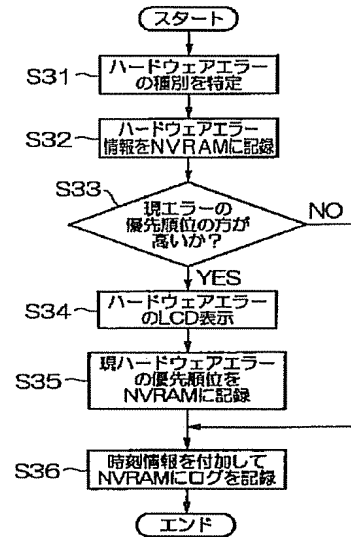
【図1】



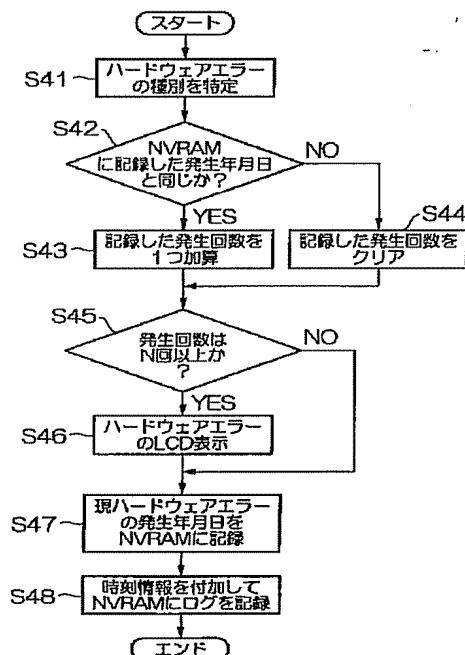
【図2】



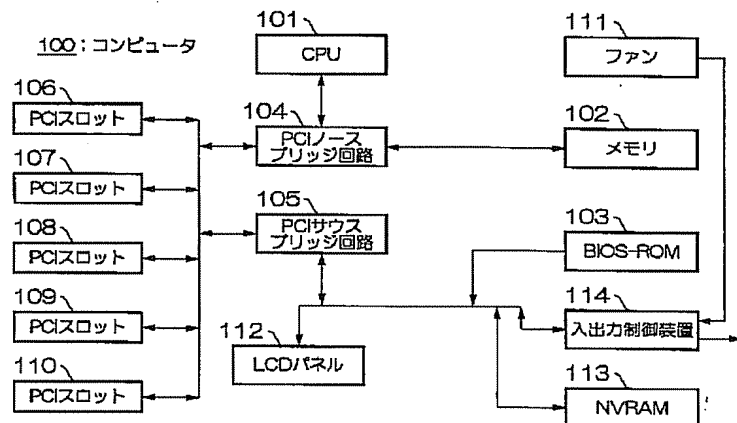
【図3】



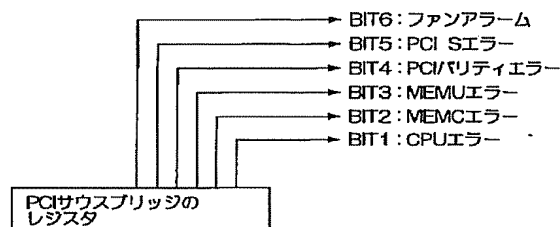
【図4】



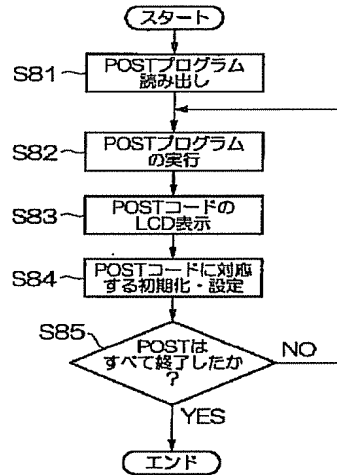
【図7】



【図10】



【図8】



フロントページの続き

Fターム(参考) 5B042 GA09 GB02 GC07 JJ01 KK01
 KK13 LA20 MB05 MC15 MC27
 NN04
 5B048 CC11 CC17 DD09
 5B069 AA01 AA19 BA06 HA05 NA04
 5E501 AA02 AC32 BA03 CA04 FA23
 FA46

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-331342

(43)Date of publication of application : 30.11.2001

(51)Int.Cl. G06F 11/22
 G06F 3/00
 G06F 3/14
 G06F 11/32

(21)Application number : 2000-151940 (71)Applicant : NEC KOFU LTD
 (22)Date of filing : 23.05.2000 (72)Inventor : SUEKI KOICHI

(54) METHOD FOR DISPLAYING INFORMATION PROCESSOR ERROR AND RECORDING MEDIUM WITH ERROR DISPLAY PROGRAM RECORDED THEREON

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an error display method, capable of accurately displaying necessary information of an information processor and a recording medium recording an error display program.

SOLUTION: When a power supply is turned on, a CPU reads out the program for executing POST from a BIOS-ROM and executes the program (steps S11, S12). Then the CPU performs the display and initialization/setting of a corresponding POST code, in accordance with the progress state of the POST (steps S13, S14). When a PCI parity error is generated in the POST, the CPU is allowed to know the generation of an SMI from a PCI south bridge circuit due to the PCI parity error. After recording the PCI parity error information in a hardware error information storing area of an NVRAM, a POST code is overwritten and displayed by a succeeding POST (step S13). When the all POSTs are completed, the hardware error information is acquired from the NVRAM and 'PCI PERR' is displayed (step S16).

